

Zentralübung Rechnerstrukturen im SS2006

Quantifizierung von Kosten und Leistung

Dr. Rainer Buchty
buchty@ira.uka.de

Universität Karlsruhe (TH) – Forschungsuniversität
Institut für Technische Informatik (ITEC)
Lehrstuhl für Rechnerarchitektur und Paralleles Programmieren

May 4, 2006

- Übungsleiter: Dr. Rainer Buchty

- Tutoren:

- Dr. Rainer Buchty
eMail: buchty@ira.uka.de
Tel. 0721/608-8768
- Dr. Jie Tao
Tel. 0721/608-6048
eMail: tao@ira.uka.de

- Sprechzeiten nach Vereinbarung

- Rechnerstrukturen-Website:

<http://itec.uka.de/capp/teaching/rs/>

alt:

<http://itec.uka.de/karl/rechnerstrukturen.html>

- Quantifizierung und Bewertung von Rechensystemen
 - Entwicklungskosten / Chipfertigung
 - Leistung von Rechensystemen
- Systembeschreibung, -simulation, und -implementierung
 - Entwurfssprachen (VHDL)
 - Simulation und Synthese
- Prozessorarchitektur
- Speicherhierarchie
 - Kohärenz und Konsistenz
 - Cache-Kohärenzprotokolle
- Parallele Systeme
 - Verbindungsstrukturen
 - Programmiermodelle
- Fehlertoleranz und Ausfallsicherheit

- Vorläufige Terminplanung
 - Do, 04.5.2006
 - Mi, 31.5.2006
 - Do, 01.6.2006
 - Mi, 21.6.2006
 - Mi, 05.7.2006
 - Do, 13.7.2006
 - Do, 20.7.2006
- Übungsthemen begleitend zur Vorlesung (Ergänzung und Vertiefung)
- **Klausur:** 7.8.2006, 14 Uhr
- Anmeldung über Einwurf in Orangen Kasten (20.20, Erdgeschoß)
- Änderungen, Hinweise und Ergänzungen werden auf Website bekanntgegeben

- Zielsetzungen
 - Einsatzgebiet, Anwendungsbereich, Leistung, Verfügbarkeit
- Randbedingungen
 - Technologie, Größe, Geld, Energieverbrauch, Umwelt
- Gestaltungsgrundsätze
 - Modularität, Sparsamkeit, Fehlertoleranz
- Einsatzgebiet
 - Desktop Computing: PCs/Workstations
 - Server: Rechen- und/oder datenintensive Anwendungen
 - Eingebettete Systeme
- Anforderungen
 - Software-Kompatibilität: Sprache, Code, OS, Standards)

→ **Quantifizierung und Vergleich**

- Technologische Entwicklungen

- Integrationsdichte
- Chipfläche
- Transistoren pro Chip
- Geschwindigkeit

→ **Faktoren für Chip-Fertigungskosten**

- Unterschiedliche Entwicklungsgeschwindigkeiten und Leistungszuwachs

- Netzwerk, CPU, RAM/ROM, Festspeicher
- Problem der Leistungsmessung
- Wie unterschiedliche Systeme vergleichen?
- Wie einzelne Faktoren bestimmen?

→ **Leistungsmessung / Benchmarking**

- Fertigung auf Wafern
 - Größe/Durchmesser des Wafers → Grundfläche
- Heraustrennen der einzelnen Chip-Plättchen (**Die**)
 - Fläche/Form des Dies → Dies per Wafer
- Endkunde erhält
 - Chip im Gehäuse
 - Test des Dies
 - Packaging: Einsetzen des Dies in Gehäuse (Bonding)
 - Bedrahtete Bauformen (thru-hole)
 - SMD-Bauformen (Pins, Balls)
 - Finaler Test
 - *Die* für sog. *bond – out*
 - *Die* wird vom Kunden in Schaltung/Platine direkt integriert)
 - Kein Packaging
 - End-Prüfung im Rahmen des Gerätetests

- Kenngrößen des Wafers

- $cost_{wafer}$: Fertigungskosten des rohen Wafers (Siliziumscheibe)
- d_{wafer} : Größe/Durchmesser, liefert Fläche a_{wafer}
- $yield_{wafer}$: Ausbeute ("gute" Wafer)

- Kenngrößen des Dies

- **Dies per Wafer** (dpw):

Die-Fläche a_{die} und Wafer-Area a_{wafer} korreliert

$$dpw = A - B = \frac{\pi * (d_{wafer} / 2)^2}{a_{die}} - \frac{\pi * d_{wafer}}{\sqrt{2} * a_{die}}$$

A: theoretisches Maximum

B: Verschnitt

- Kenngrößen des Dies

- **Ausbeute** (die yield)
- Fehlerquote (defects per unit area, $dpua$)
- Technologiekonstante (α , Maß für Komplexität bzw. Fertigungstechnologie)

$$yield_{die} = yield_{wafer} * \left(1 + \frac{dpua * a_{die}}{\alpha}\right)^{-\alpha}$$

- Abschätzung des Die-Yields resultierend aus obiger Formel in Verbindung mit Dies-per-Wafer-Wert

$$yield_{die} = f(a_{die}^4)$$

- **Fertigungskosten** pro Die

$$COST_{die} = \frac{COST_{wafer}}{dpw * yield_{die}}$$

- Test und Assemblierung
 - Kosten
 - Die-Test: $cost_{die-test}$
 - Packaging: $cost_{packaging}$
 - Packaging-Kosten beinhalten zusätzliche Test-Kosten (IC-Test, Endkontrolle)
 - Endausbeute: $yield_{final}$

- **Gesamtkosten** pro integriertem Schaltkreis (IC):

$$cost_{IC} = \frac{cost_{die} + cost_{die-test} + cost_{packaging}}{yield_{final}}$$

Eine Wafer-Fertigungsanlage soll von 200mm- auf 300mm- Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, der zugehörige Technologiefaktor α sei 1, die Fehlerquote (*defects per unit area*) betrage $0.5/cm^2$ und die Wafer-Ausbeute (*yield*) betrage 75%. Der zu fertigende Die habe eine Fläche von $a_{die} = 2cm^2$.

- 1 Berechnen Sie für beide Wafergrößen die erzielbare Anzahl von Dies pro Wafer.

$$dpw = \frac{\pi * (d_{wafer} * \frac{1}{2})^2}{a_{die}} - \frac{\pi * d_{wafer}}{\sqrt{2} * a_{die}}$$

$$\begin{aligned} dpw_{200} &= \frac{\pi * (20cm * \frac{1}{2})^2}{2cm^2} - \frac{\pi * 20cm}{\sqrt{2} * 2cm^2} \\ &= \pi * \left(\frac{10^2}{2} - \frac{20}{\sqrt{4}} \right) = \pi * \frac{100 - 20}{2} = 40\pi (\approx 125.66) \end{aligned}$$

$$\begin{aligned} dpw_{300} &= \frac{\pi * (30cm * \frac{1}{2})^2}{2cm^2} - \frac{\pi * 30cm}{\sqrt{2} * 2cm^2} \\ &= \pi * \left(\frac{15^2}{2} - \frac{30}{\sqrt{4}} \right) = \pi * \frac{225 - 30}{2} = \frac{195}{2}\pi = 97.5\pi (\approx 306.31) \end{aligned}$$

Eine Wafer-Fertigungsanlage soll von 200mm- auf 300mm- Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, der zugehörige Technologiefaktor α sei 1, die Fehlerquote (*defects per unit area*) betrage $0.5/cm^2$ und die Wafer-Ausbeute (*yield*) betrage 75%. Der zu fertigende Die habe eine Fläche von $a_{die} = 2cm^2$.

- 1 Berechnen Sie für beide Wafergrößen die erzielbare Anzahl von Dies pro Wafer.

$$dpw_{200} = 40\pi (\approx 125.66)$$

$$dpw_{300} = 97.5\pi (\approx 306.31)$$

→ **Steigerung der (theoretischen) Ausbeute um einen Faktor von fast 2.5 bei annähernd gleichen Fertigungskosten**

Rechenbeispiel (forts.)

Eine Wafer-Fertigungsanlage soll von 200mm- auf 300mm- Wafer umgestellt werden. Der Fertigungsprozess wird hierbei nicht verändert, der zugehörige Technologiefaktor α sei 1, die Fehlerquote (*defects per unit area*) betrage $0.5/cm^2$ und die Wafer-Ausbeute (*yield*) betrage 75%. Der zu fertigende Die habe eine Fläche von $a_{die} = 2cm^2$.

- 2 Errechnen Sie den Die-Yield für die gegebenen Parameter.

$$yield_{die} = yield_{wafer} * \left(1 + \frac{dpu * a_{die}}{\alpha}\right)^{-\alpha}$$

$$yield_{die} = 0.75 * \left(1 + \frac{0.5 * 2}{1}\right)^{-1} = \frac{3}{4} * \frac{1}{2} = \frac{3}{8}$$

Rechenbeispiel (forts.)

- 3 Errechnen Sie die Kosten pro Die für 200mm und 300mm-Technologie unter der Annahme, die Wafer-Kosten seien pro Millimeter Durchmesser mit 1 Euro zu veranschlagen.

$$\mathit{cost}_{die} = \frac{\mathit{cost}_{wafer}}{dpw * \mathit{yield}_{die}}$$

$$\text{Berechnet: } dpw_{200} = 40\pi, dpw_{300} = \frac{195}{2}\pi, \mathit{yield}_{die} = \frac{3}{8}$$

$$\mathit{cost}_{200} = 1 * \frac{200}{40\pi * \frac{3}{8}} = \frac{200}{15\pi} = 4,24$$

$$\mathit{cost}_{300} = 1 * \frac{300}{\frac{195}{2}\pi * \frac{3}{8}} \approx 2,61$$

Dies per Wafer: Faktor 2.43 ↔ Kosten pro Die: Faktor 1.63

- 4 Berechnen Sie basierend auf den errechneten Werten der vorherigen Aufgabenteile die durch die Umstellung auf 300mm-Wafer erzielte Kostenreduzierung pro IC. Die Kosten für das Packaging pro IC betragen 75 Cent, der Kostenanteil für Testen des einzelnen Dies sei 1 Euro und die Gesamtausbeute sei 75%.

$$cost_{ic} = \frac{cost_{die} + cost_{test} + cost_{pkg}}{yield_{final}}$$

$$cost_{ic200} = \frac{4.24 + \frac{1}{\frac{3}{4}} + 0.75}{\frac{3}{4}} = \frac{5.99 * 4}{3} = 7.99$$

$$cost_{ic300} = \frac{2.61 + \frac{1}{\frac{3}{4}} + 0.75}{\frac{3}{4}} = \frac{4.36 * 4}{3} = 5.81$$

$$Einsparung: 7.99 - 5.81 = 2.18$$

Kostensenkung um

$$\left(1 - \frac{5.81}{7.99}\right) * 100\% = 100 - 72.7 = 27.3\%$$

Bewertung der Leistungsfähigkeit

- Herstellungskosten leicht zu quantifizieren, daher auch leicht zu berechnen
- Quantifizierung der Leistungsfähigkeit?
 - Was ist Leistungsfähigkeit?
 - Was bedeutet "schneller"?
 - Wie vergleichen?
- Entscheidung bei **Entwurf**, **Auswahl**, und **Veränderung** von Rechenanlagen
 - Objektive Quantifizierung
 - Erfassen des gesamten Systems, nicht nur von Teilaspekten

- **Anwendersicht:** Reduzierung von
 - Antwortzeit (response time)
 - Latenzzeit
 - CPU Time (User, System)
 - Ausführungszeit (execution time)

- **Betriebssicht:** Erhöhung von
 - Anzahl durchgeführter Jobs
 - Durchsatz
 - Energieeffizienz (Betriebskosten)

→ **Auswertung benötigt Bewertungsverfahren**

● Auswertung von HW-Eigenschaften

- Einfacher Vergleich
- Bewertung sehr spezieller Aspekte (Takt)
- Angabe einer hypothetischen Maximalleistung (MIPS)
- Meist nicht/selten aussagekräftig
- Alltagsbeispiel: GHz-Manie → QuantiSpeed

● Mixe

- Theoretische Berechnung einer mittleren Operationszeit T aus den Operationszeiten und Auftrethäufigkeiten von n Befehlen

- $T = \sum_{i=1}^n p_i * t_i$ mit $\sum_{i=1}^n p_i = 1$ wobei $p_i \leq 1$

● Kernprogramme

- Typische Anwenderprogramme, für den zu bewertenden Rechner geschrieben
- Berechnung der Ausführungszeit anhand der Ausführungszeiten der Befehle

● **Benchmarks**

- Programmsammlungen im Quellcode
- Übersetzung & Messung der Ausführungszeiten
- Problem: Einfluß von OS und Compiler
- Synthetische Benchmarks (Whetstone, Dhrystone),
Quasi-Simulation von Anwenderprogrammen
- Kernels (LINPACK)
- Standardisierte Benchmarks (SPEC, TPC, EEMBC...)

● **Ziele**

- Stellt fairen Vergleich sicher
- Ermöglicht Angabe einer Maximalleistung

● Beispiel: **SPEC-Benchmark**

- Integer vs. Fließkomma: SPECint / SPECfp
- Geschwindigkeit vs. Durchsatz (rate)
- Optimierung: Konservativ (base) vs. aggressiv
- $SPECratio_x = \frac{t_{ref_x}}{t_{exec}}$

● **Monitore**

- Gezielte Abfrage und Akkumulation von HW-Ereignissen
- Software-Monitore
- Werkzeug zur Optimierung, weniger zur Klassifizierung
- Nachteil: Beeinträchtigung des Systemverhaltens

● **Analytische Methoden**

- Deterministisch (feste Werte)
- Stochastisch (statische Verteilung)
- Operationell (gemessen in festem Zeitintervall)

● **Simulationen**

- Modellbildung
- Deterministische, stochastische oder aufzeichnungsgesteuerte Simulation

- **Prozessortakt** gibt lediglich den Arbeitstakt (min/typ/max) des Prozessors an.
 - Kein Maß für Leistungsfähigkeit, da keine Aussage über Effizienz, Güte des Befehlssatzes etc.
 - Beispiele: Pentium4 vs. Pentium-M, 6502 vs. Z80
- **CPI** ist ein Maß für die Effizienz einer Architektur.
 - Unterschied zwischen maximalen CPI unter Idealbedingungen und realen, programmabhängig gemessenen CPI
 - Zur Leistungsbewertung als **alleinige** Maßzahl nicht ausreichend: Effizienz \neq Geschwindigkeit!
- **MIPS** auf den ersten Blick ideal, weil zwei Maßzahlen (Takt, CPI) zusammengeführt werden.
 - Aufgrund des CPI-Einflusses jedoch ebenfalls vom ausgeführten Programm
 - Nur unter gleichen Bedingungen (Sourcecode, Compiler, OS) direkt vergleichbar.

- **CPI** (Zyklen pro Instruktion)

$$CPI = \frac{c}{i}$$

- **MIPS** (Million Instructions per Second)

$$MIPS = \frac{f}{CPI * 10^6}$$

- **Taktrate** (Frequenz)

$$f = \frac{c}{t} = \frac{i * CPI}{t} \text{ [Hz]}$$

- **CPU-Zeit**

$$t_{cpu} = c * t$$

Beachten Sie auch mögliche Umformungen!

Prozessor A arbeitet ein Problem in 2ms ab. Er hat eine CPI von 7/5 und benötigt 3.500.000 Instruktionen für die Formulierung der Problemstellung.

Prozessor B arbeitet dieses Problem ebenfalls in 2ms ab. Er hat eine CPI von 3/2 und benötigt 1.500.000 Instruktionen für die Formulierung der Problemstellung.

- Welcher Prozessor ist für dieses Problem zu wählen und warum?

$$f = \frac{i \cdot \text{CPI}}{t}, \text{MIPS} = \frac{f}{\text{CPI} \cdot 10^6}$$

$$f_A = \frac{3.5 \cdot 10^6 \cdot \frac{7}{5}}{2 \cdot 10^{-3}} = 2450 \text{MHz}$$

$$\text{MIPS}_A = \frac{f_A}{\text{CPI}_A \cdot 10^6} = \frac{2.45 \cdot 10^9}{\frac{7}{5} \cdot 10^6} = 1750 \text{MIPS}$$

$$f_B = \frac{1.5 \cdot 10^6 \cdot \frac{3}{2}}{2 \cdot 10^{-3}} = 1125 \text{MHz}$$

$$\text{MIPS}_B = \frac{f_B}{\text{CPI}_B \cdot 10^6} = \frac{1.125 \cdot 10^9}{\frac{3}{2} \cdot 10^6} = 750 \text{MIPS}$$

Rechenbeispiel (forts.)

$$i_A = 3.500.000, CPI_A = \frac{7}{5}$$
$$f_A = 2450MHz, MIPS_A = 1750MIPS$$

$$i_B = 1.500.000, CPI_B = \frac{3}{2}$$
$$f_B = 1125MHz, MIPS_B = 750MIPS$$

$$t = 2ms$$

- Welcher Prozessor ist für dieses Problem zu wählen und warum?
- Prozessor B, weil
 - ohne Berechnung: Gleich schnell in der Abarbeitung bei wesentlich kompakterem Code (1.5 vs. 3.5 Mio Instruktionen)
 - Weniger als halbe Taktfrequenz ($P \sim U^2 * f$, Fertigung)

Benchmarks sind eine verlässliche Methode zur Leistungsbewertung. Auf einem 4GHz-Prozessor wird ein solcher Benchmark abgearbeitet. Nachfolgende Tabelle listet die auftretenden Befehlstypen mit Häufigkeit und jeweiliger Zyklenzahl.

Befehlstyp	Anzahl in 10^3	Zyklenzahl
Integer-Arithmetik	300	1
Fließkomma-Arithmetik	75	2
Speicherzugriff	150	3
Kontrollflußtransfer	25	4

Zu bestimmen sind die Werte für Ausführungszeit, CPI, MIPS und MFLOPS.

Befehlstyp	Anzahl in 10^3	Zyklenzahl
Integer-Arithmetik	300	1
Fließkomma-Arithmetik	75	2
Speicherzugriff	150	3
Kontrollflußtransfer	25	4

- Anzahl Instruktionen

$$\begin{aligned}i &= \sum i_{\text{typ}} \\ &= (300 + 75 + 150 + 25) * 10^3 = 550.000\end{aligned}$$

- Taktzyklen

$$\begin{aligned}c &= \sum i_{\text{typ}} * c_{\text{typ}} \\ &= (300 * 1 + 75 * 2 + 150 * 3 + 25 * 4) * 10^3 = 1.000.000\end{aligned}$$

- Zykluszeit bei 4GHz Taktfrequenz

$$t = \frac{1}{f} = \frac{1}{4\text{GHz}} = 0.25 * 10^{-9}\text{s} = 0.25\text{ns}$$

Rechenbeispiel (forts.)

- Angaben und bisherige Berechnungen:

$$f = 4\text{GHz} \rightarrow t_c = 0.25\text{ns}$$

$$i = 550.000, c = 1.000.000 = 1000 * 10^3$$

- Ausführungszeit

$$t_{\text{exec}} = c * t_{\text{cyc}}$$

$$= 1000 * 10^3 * 0.25 * 10^{-9} = 250 * 10^{-6}\text{s} = 250\mu\text{s}$$

- CPI

$$\text{CPI} = \frac{c}{i} = \frac{1000 * 10^3}{550 * 10^3} = \frac{100}{55} = \frac{20}{11} \approx 1.82$$

- MIPS

$$\text{MIPS} = \frac{i}{t * 10^6} = \frac{550.000}{250} = 2200$$

- MFLOPS

- Wie MIPS, wobei Anzahl der Befehle und Ausführungszeit nur für Fließkommaberechnung

$$\text{MFLOPS} = \frac{75.000}{(75.000 * 2) * (0.25 * 10^{-9}) * 10^6} = \frac{1}{0.5 * 10^{-3}} = 2000$$

Fragen?